

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03371534     \*\*Image available\*\*

THIN FILM SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.:     03-034434 [JP 3034434 A]

PUBLISHED:     February 14, 1991 (19910214)

INVENTOR(s):   AOYAMA TAKASHI

                 KAWACHI GENSHIROU

                 MIYATA KENJI

                 MOCHIZUKI YASUHIRO

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:     01-166673 [JP 89166673]

FILED:         June 30, 1989 (19890630)

INTL CLASS:    [5] H01L-021/336; G02F-001/136; H01L-021/265; H01L-029/784

JAPIO CLASS:   42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION  
INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R002 (LASERS); R100 (ELECTRONIC MATERIALS -- Ion  
Implantation)

JOURNAL:       Section: E, Section No. 1060, Vol. 15, No. 161, Pg. 129,  
April 23, 1991 (19910423)

#### ABSTRACT

PURPOSE: To activate impurity without generating the exfoliation of a poly-Si film, form a TFT of small leak current, and extremely reduce the defect of a display, by activating first introduced low concentration impurity by heat treatment at about 600 deg.C, and activating second introduced high concentration impurity by using laser.

CONSTITUTION: A base SiO(sub 2) film 2 is deposited on a glass substrate 1 whose strain temperature is about 640 deg.C; P-type poly-Si films 3-5 are deposited; by heat treatment at 600 deg.C for 5 hours, the poly-Si films 3-5 are recrystallized, and impurity in the films are activated; a gate insulating film 6 is deposited; an I-layer poly-Si film for a gate electrode 7 is deposited; after the gate electrode is patterned, P is introduced; an SiO(sub 2) film 8 is deposited; by using XeCl laser, N-type impurity (P) is activated; after photoetching process, a transparent electrode (ITO) is sputtered; after photoetching process, liquid crystal is encapsulated between a polarizing plate and another glass substrate provided with a color filter, thereby completing a display.

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

008586219      \*\*Image available\*\*

WPI Acc No: 1991-090251/199113

XRAM Acc No: C91-038563

XRPX Acc No: N91-069638

**Thin film semiconductor device - mfd. by introducing 1st impurity to  
semiconductor layer to conduct heat-treating** NoAbstract Dwg 1/3

Patent Assignee: HITACHI LTD (HITA )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<u>JP 3034434</u>	A	19910214	JP 89166673	A	19890630	199113 B

Priority Applications (No Type Date): JP 89166673 A 19890630

Title Terms: THIN; FILM; SEMICONDUCTOR; DEVICE; MANUFACTURE;  
INTRODUCING; IMPURE; SEMICONDUCTOR; LAYER; CONDUCTING; HEAT; TREAT;  
NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Additional): H01L-021/33

File Segment: CPI; EPI

1/12/15

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平3-34434

⑫ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)2月14日

H 01 L 21/336

9056-5F  
7522-5F

H 01 L 29/78  
21/265

3 1 1 P  
B※

審査請求 未請求 請求項の数 16 (全5頁)

⑭ 発明の名称 薄膜半導体装置及びその製造方法

⑮ 特 願 平1-166673

⑯ 出 願 平1(1989)6月30日

⑰ 発 明 者 青 山 隆 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内  
⑰ 発 明 者 河 内 玄 士 朗 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内  
⑰ 発 明 者 宮 田 健 治 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内  
⑰ 発 明 者 望 月 康 弘 茨城県日立市久慈町4026番地 株式会社日立製作所日立研  
究所内  
⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑲ 代 理 人 弁理士 小川 勝男 外2名

最終頁に続く

明 細 書

1. 発明の名称

薄膜半導体装置及びその製造方法

2. 特許請求の範囲

1. 絶縁性基板と該基板上に形成された半導体層とを有する薄膜半導体装置の製造方法において、上記半導体層に第1の不純物を導入して熱処理した後、上記半導体層の所定領域に上記第1の不純物より高濃度の第2の不純物を導入して、エネルギービームを照射することを特徴とする薄膜半導体装置の製造方法。
2. 絶縁性基板と該基板上に形成された半導体層とを有する薄膜半導体装置において、上記半導体層は、多結晶層であり、上記多結晶層中の第1の不純物領域の径径が上記多結晶層中の上記第1の不純物領域よりも高濃度の第2の不純物領域の径径より小さいことを特徴とした薄膜半導体装置。
3. 絶縁性基板と該基板上に形成された半導体層とを有する薄膜半導体装置において、上記半導

体層中の第1の不純物領域のキャリアトラップ密度が上記半導体層中で、上記第1の不純物層よりも高濃度の第2の不純物領域のキャリアトラップ密度より高い薄膜半導体装置。

4. 請求項1において、上記半導体層が多結晶シリコンであることを特徴とする薄膜半導体装置の製造方法。
5. 請求項2において、上記半導体層が多結晶シリコンであることを特徴とする薄膜半導体装置。
6. 請求項3において、上記半導体層が多結晶シリコンであることを特徴とする薄膜半導体装置。
7. 請求項1において、上記エネルギービーム照射工程以外のプロセスの最高温度が600℃以下であることを特徴とする薄膜半導体装置の製造方法。
8. 請求項1において、上記絶縁基板としてガラスを用いることを特徴とする薄膜半導体装置の製造方法。
9. 請求項4において、上記半導体層の膜厚が1500Å以下であることを特徴とする薄膜半

導体装置の製造方法。

10. 請求項9において、上記薄膜半導体装置はゲート絶縁膜を備えたMOS構造であることを特徴とする薄膜半導体装置の製造方法。
11. 請求項5において、上記薄膜半導体装置はゲート絶縁膜を備えたMOS構造を有することを特徴とする薄膜半導体装置。
12. 請求項6において、上記薄膜半導体装置はゲート絶縁膜を備えたMOS構造を有することを特徴とする薄膜半導体装置。
13. 請求項2において、上記絶縁基板と上記半導体層との間にSiO<sub>2</sub>膜を有することを特徴とする薄膜半導体装置。
14. 請求項11において、上記MOS構造は、コープレーナ型のMOS構造であることを特徴とする薄膜半導体装置。
15. 請求項1において、上記エネルギービームがレーザーであることを特徴とする薄膜半導体装置の製造方法。
16. 絶縁性基板と該基板上に形成された半導体層

Poly-Si) が用いられることが多い。絶縁基板であるガラス基板の至温度は、通常、約600℃であるために、TFTの製造プロセス温度も約600℃以下であることが要求される。TFT構造としてはチャネル部分に不純物をドーピングする構造とドーピングしない構造の2つがあるが、リーク電流を低減するためには前者が有効である(IEEE Trans. Electron Dev. ED-32, 258(1985))。不純物の活性化プロセスは、一般に、600℃以下の温度では十分でないことが多いため、レーザー活性化技術が用いられている(特開昭60-202931)。すなわち、不純物をPoly-Si中に導入した後、エキシマレーザーなどを照射して、ガラス基板を高温に加熱することなく、Poly-Si膜のみを加熱して不純物を活性化するものである。具体的には、Poly-Si膜を増積させるときにボロン(B)をドーピングしてp型のPoly-Siを形成し、その後レーザー照射して膜の結晶化と不純物の活性化を行う。次に、ゲート電極をパターンニングした後、自己整合方式でイオン打込み法によりn型不純物を導入

とを有する薄膜半導体装置の製造方法において、上記半導体層に第1の不純物を導入して第1の熱処理した後、上記半導体層の所定領域に上記第1の不純物より高濃度の第2の不純物を導入して上記第1の熱処理よりも高温短時間である第2の熱処理を行うことを特徴とする薄膜半導体装置の製造方法。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

本発明は薄膜半導体装置及びその製造方法に係り、特に、液晶表示装置に用いられる薄膜トランジスタ及びその製造方法に関する。

#### (従来の技術)

アクティブマトリクス方式の液晶ディスプレイは、近年、周辺回路を内蔵しながら大画面化と高画質化の方向に急速に進んでいる。各画素に形成される薄膜トランジスタ(Thin Film Transistors: 略してTFT)は、大きなキャリア移動度と小さなリーク電流が要求され、このためにTFT材料としては多結晶シリコン(Polysilicon: 略して

してソース、ドレインを形成する。次に、もう一度レーザーを照射して、ゲート、ソース、ドレイン領域の不純物を活性化するものである。

#### (発明が解決しようとする課題)

上記従来技術は、自己整合方式を基本としているため、チャネル部とゲート、ソース、ドレイン領域の不純物活性化を行うのにレーザーを二度照射しなければならない。特に、ソースとドレイン領域は二回のレーザー照射と1回のイオン打込みを受けるため、Poly-Si膜と基板間ではく離という問題が生じる。このため、TFTがディスプレイ上全面に形成されず、画素に欠陥が生じるという問題があった。

本発明の目的は、Poly-Si膜のはがれを起こさずに不純物を活性化し、リーク電流の小さいTFTを形成して最終的にディスプレイの欠陥を大幅に低減する方法を提供することである。

#### (課題を解決するための手段)

上記目的は以下の手段によって達成される。すなわち、最初導入した低濃度の不純物を約600

ての熱処理で活性化し、次に導入した高濃度の不純物をレーザ（上記熱処理も高温短時間）で活性化するというものである。この結果、TFT構造としては、接合を形成している高濃度側不純物領域（ソース、ドレイン）の多結晶が低濃度側不純物領域（チャネル領域）の多結晶と比較して、粒径の点で大きく、キャリアのトラップ密度の点で低くしたものである。

上記本発明の特徴点およびその他の特徴点については、以下の記載より明らかとされる。

#### 〔作用〕

上記手段は以下のように作用する。すなわち、最初導入する不純物はp型であり、ドーピング濃度は約 $10^{17} \text{ cm}^{-3}$ である。Poly-Si中に不純物を導入する場合、Poly-Siの結晶粒界に存在するトラップのために、一般に、キャリア濃度はドーピング濃度よりも小さくなる。しかし、チャネル領域では活性化後のキャリア濃度は約 $10^{18} \text{ cm}^{-3}$ で十分である。このレベルのキャリア濃度は約600℃の温度の熱活性化で達成できる。次に、

性化率が変化してくる。このため本方法は膜厚1500Å以下で特に有効である。

次に、TFT構造とTFT特性との関係について述べる。多結晶シリコンTFTのリーク電流はチャネル、ドレイン接合領域から発生している。すなわち、大きな電界強度が印加される多結晶シリコンにおいては、バンドギャップ中のトラップ準位を通して電子-正孔対が生成し、電界により、それぞれのキャリアが逆方向に流れてリーク電流となる。接合付近では、高濃度側（ドレイン）領域の空乏層幅が低濃度側（チャネル）領域の空乏層幅より小さいため、電界がより集中する。従って、高濃度側（ドレイン）領域の多結晶シリコンの粒径を大きく、トラップ密度を低くすることによって、リーク電流を低減できる。多結晶シリコンの粒径の増大とトラップ密度の低減はレーザによる不純物の活性化の間に実現できる。一方、チャネル領域で、特に空乏層の外側の中性領域に着目すると、この領域はキャリアが流れる際に抵抗成分として働くため、多結晶の粒径が小さく、ト

ラップ密度が高いと抵抗値が上り、リーク電流の低減に寄与する。上で述べた600℃における不純物の熱活性化を行うと、レーザで不純物を活性化する場合に比べ、多結晶シリコンの粒径は小さく、トラップ密度は大となる。

〔実施例〕

（実施例1）

以下、本発明の一実施例を第2図により説明する。第2図に示される構造は、次のようにして製造される。至温度約640℃のガラス基板1上に下地 $\text{SiO}_2$ 膜2を常圧CVD法により4000Å堆積する。次に、減圧CVD法によりp型Poly-Si膜3～5を1500Å堆積させる。このとき、100%  $\text{SiH}_4$  ガス300  $\text{m}^2/\text{min}$ 、100  $\text{p.p.m. B}_2\text{H}_6$  ガス15  $\text{m}^2/\text{min}$  とする。次に、600℃、5時間の熱処理でPoly-Si膜3～5の再結晶化と膜中の不純物の活性化を行う。チャネル領域になる多結晶シリコンの平均粒径とキャリアのトラップ密度は、それぞれ200Å、 $5 \times 10^{18} \text{ cm}^{-3}$ である。次に、ゲート絶縁膜6を

常圧CVD法により1000Å堆積させ、続いて減圧CVD法によりゲート電極7用のi層Poly-Si膜を1000Å堆積させる。ホト・エッチ工程によりゲート電極をパターンニングした後、イオン打込み法によりP(リン)を30keVで $5 \times 10^{18} \text{cm}^{-2}$ を導入する。次に、常圧CVD法によりSiO<sub>2</sub>膜8を4000Å堆積させる。続いて、波長308nmのXeClレーザを用いて250mJ/cm<sup>2</sup>のエネルギー密度でn型不純物(P)の活性化を行う。ソース、ドレイン領域になる多結晶シリコンの平均粒径とキャリアのトラップ密度は、それぞれ、600Å、 $2 \times 10^{18} \text{cm}^{-2}$ である。次に、コンタクト用ホト・エッチ工程後、アルミニウム9を8000Åスパッタさせる。ホト・エッチ工程後、透明電流(ITO)をスパッタさせる。ホト・エッチ工程後、偏光板とカラーフィルタを覆った他のもう一枚のガラス基板との間に液晶を封入してディスプレイが完成する。なお、低濃度不純物(B)の熱活性化は高濃度不純物(P)のレーザ活性化後に行ってもよい。

次に、第3図(c)に示すように、ホトエッチング工程により、ゲート電極7及びゲート絶縁膜6をパターンニングした後、イオン打込み法によりP(リン)を30keVのエネルギーでドーズ量 $5 \times 10^{18} \text{cm}^{-2}$ を導入する。

ついで、第3図(d)に示すように、波長308nmのXeClレーザを用いて250mJ/cm<sup>2</sup>のエネルギー密度でn型不純物(P)の活性化を行う。実施例1では、SiO<sub>2</sub>膜を形成したのちレーザ照射したが、本実施例のようにSiO<sub>2</sub>膜はなくともよい。

この後は、実施例1と同様の工程によつて、最終的に第2図に示すような構造が得られる。

#### (発明の効果)

本発明によれば、Poly-Si膜のはがれを起こさずに不純物を活性化でき、リーク電流の小さいTFETを形成して最終的にディスプレイの欠陥を大幅に低減できる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例の手順を示す図、第

#### (実施例2)

次に、本発明の他の実施例を第3図を用いて説明する。

第3図(a)に示すように、絶縁性基板となる至温度約640℃のガラス基板1上に、下地SiO<sub>2</sub>膜2を常圧CVD法にて膜厚4000Åとなるように堆積する。ついで、減圧CVD法によりPoly-Si膜33を1500Åの厚さに堆積させる。このうち、低濃度不純物であるB(ボロン)イオンを打ち込むことにより、Poly-Si膜33をP型の導電型としている。そして、600℃、5時間の熱処理により、低濃度不純物(B)を熱活性化する。

次に、第3図(b)に示すように、Poly-Si膜33をホトエッチングにより、島切りし、島状Poly-Si膜34とする。次に常圧CVDによつて、ゲート絶縁膜6となるSiO<sub>2</sub>膜36を1000Åの厚さに堆積させる。続いて、減圧CVD法により、ゲート電極7用のi型Poly-Si膜37を1000Åの厚さに堆積させる。

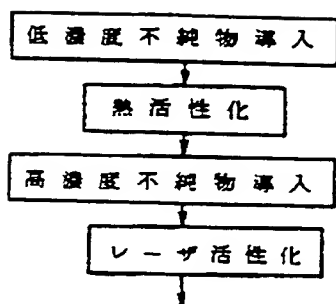
2図は本発明の一実施例のTTF断面構造図である。第3図は本発明の他の実施例を示す工程図である。

1…ガラス基板、2…下地SiO<sub>2</sub>膜、3…チャネル(P型不純物)領域、4…ソース(n型不純物)領域、5…ドレイン(n型不純物)領域、6…ゲート絶縁膜、7…ゲート電極、8…パシベーション膜、9…アルミニウム電極。

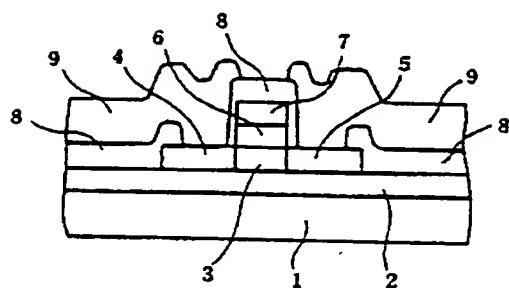
代理人 弁理士 小川勝男



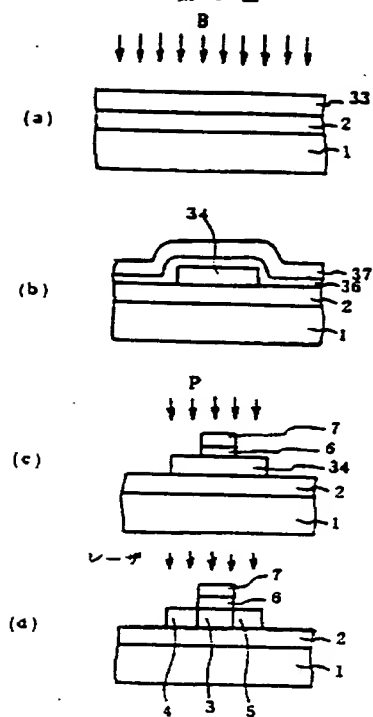
第 1 図



第 2 図



第 3 図



第 1 頁の続き

⑤Int. Cl.<sup>5</sup>

G 02 F 1/136  
H 01 L 21/265  
29/784

識別記号

5 0 0

庁内整理番号

9018-2H